

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-181527

(43)Date of publication of application : 11.07.1997

(51)Int.Cl.

H03B 19/00

H03D 7/00

H04B 1/04

(21)Application number : 07-340067

(71)Applicant : NEC CORP

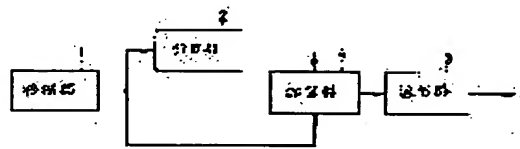
(22)Date of filing : 27.12.1995

(72)Inventor : HIKIMA TATSUYUKI

(54) FREQUENCY MULTIPLYING CIRCUIT**(57)Abstract:**

PROBLEM TO BE SOLVED: To extract high frequency having a high CN ratio and to extract stable frequency at the time of forming a PLL loop based upon that high frequency by including a frequency adding means for adding the frequency of a frequency-divided output and that of an oscillation output and a multiplying means for multiplying the frequency of the added output.

SOLUTION: The frequency of an output (frequency F) from an oscillator 1 is divided into 1/10 e.g. by a frequency divider 2 and becomes F/10 frequency. The frequency-divided output (F/10) and the oscillation output F are mutually added by an adder 4 and a component (F+F/10) is outputted. The frequency of F+F/10 means the inclusion a component F and a component F/10 as they are and is not normal arithmetic addition. Thereby the adder 4 can be used as OR circuit constitution. The addition of the adder 4 means the individual outputs of respective frequency outputs F, F/10, so that the adder has an OR circuit function. The output becomes a high order harmonic wave by the non-linearity of a multiplier 3 and harmonic components iF , $(j/10)F$ are obtained.

**LEGAL STATUS**

[Date of request for examination] 27.12.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2820094

[Date of registration] 28.08.1998

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-181527

(43) 公開日 平成9年(1997)7月11日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 B 19/00			H 0 3 B 19/00	
H 0 3 D 7/00			H 0 3 D 7/00	D
H 0 4 B 1/04			H 0 4 B 1/04	F

審査請求 有 請求項の数 3 O L (全 4 頁)

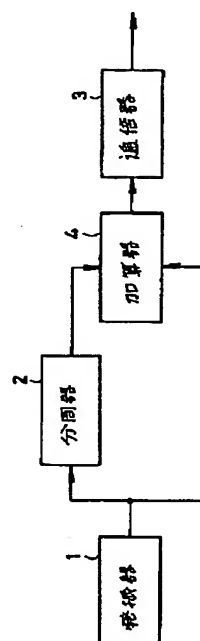
(21) 出願番号	特願平7-340067	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成7年(1995)12月27日	(72) 発明者	引間 達幸 東京都港区芝五丁目7番1号 - 日本電気株式会社内
		(74) 代理人	弁理士 ▲柳▼川 信

(54) 【発明の名称】 周波数通倍回路

(57) 【要約】

【課題】 発振出力を分周して通倍することにより、高次高調波を得る場合、高次高調波の出力レベルが低くなり、所望周波数でのC/Nが低下する。これを防止する。

【解決手段】 発振器1の発振出力Fを分周器2で $1/n$ にする。加算器4では、Fと F/n との両成分を加算してそのまま出力する。通倍器3では、 iF と $(j/n)F$ との高次高調波(i, j は n より極めて大なる多数の整数)を生成して出力するので、 $iF, (j/n)F$ の両エネルギーにより高次高調波のレベルは大となる。



【特許請求の範囲】

【請求項1】 発振手段と、この発振出力を分周する分周手段と、この分周出力と前記発振出力との周波数加算をなす周波数加算手段と、この加算出力の周波数を通倍をなす通倍手段とを含むことを特徴とする周波数通倍回路。

【請求項2】 前記通倍手段は、前記加算出力の周波数の高次高調波を生成する非直線特性を有する非直線回路手段であることを特徴とする請求項1記載の周波数通倍回路。

【請求項3】 前記非直線回路手段による高次高調波のうち所定周波数を選択的に抽出する周波数抽出手段を更に含むことを特徴とする請求項1記載の周波数通倍回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は周波数通倍回路に関し、特に高次の発振通倍周波数を必要とするテレビジョン放送などの送信機における周波数通倍回路に関する。

【0002】

【従来の技術】従来のこの種の周波数通倍回路の一例について図4及び図5を参照しつつ説明する。図4はそのブロック図であり、図5は図4の各部出力周波数スペクトラムの例を夫々示す図である。

【0003】発振器1の発振出力（周波数F）は分周器2により例えば1/10に分周されてF/10の周波数となる。このF/10の周波数を通倍器3により通倍して高次の多数の高調波を得ている。

【0004】尚、この通倍器3はトランジスタ等の能動素子の非直線性を利用して周波数通倍を行うものであり、高次周波数が図5の通倍出力の周波数スペクトラムに示す様に生成されることになる。この高次周波数のうち必要とする周波数をフィルタ等により抽出して導出するものである。

【0005】

【発明が解決しようとする課題】図4に示した従来の構成では、周波数の通倍数が高次になるに従って出力レベルが大きく減衰するために、必要とされる周波数が高次の場合には、出力レベルが極端に低下することになる。よって、増幅器を用いて所望レベルまで上げることが必要である。また、低レベルの増幅を行うために、所望周波数のC/N（搬送波対雑音比）が低下するという問題もある。

【0006】特に、この通倍器3から得られた高次の周波数を基に、発振器にPLL（フェイズロックドループ）回路によるPLLループを施して周波数を安定化させる場合には、C/Nが悪いことにより、発振器の出力にジッターが生ずる等の悪影響が生じる問題もある。

【0007】本発明の目的は高次の高調波の出力レベルの減衰量を抑えてC/Nが高い高周波を抽出すると共に、この高周波を基にPLLループを施す場合にも高安定な出力周波数を取り出すことができる周波数通倍回路を提供することである。

に、この高周波を基にPLLループを施す場合にも高安定な出力周波数を取り出すことができる周波数通倍回路を提供することである。

【0008】

【課題を解決するための手段】本発明による周波数通倍回路は、発振手段と、この発振出力を分周する分周手段と、この分周出力と前記発振出力との周波数加算をなす周波数加算手段と、この加算出力の周波数を通倍をなす通倍手段とを含むことを特徴としている。

【0009】

【発明の実施の形態】本発明の作用を述べる。発振器の出力周波数Fを分周器にてF/nとし、この分周出力F/nと発振出力Fとを周波数加算して(F+F/n)を得る。この(F+F/n)を通倍器により通倍して夫々高次高調波iF+(j/n)Fを得るものである(i, jはnより大なる多数の整数)。

【0010】こうすることにより、通倍器の入力に基本波Fが含まれているので、この基本波Fの高次高調波成分1Fと(j/n)F成分とが共に等しい周波数成分で両エネルギーが加算され、よって高次の周波数でも出力レベルが低下しないことになる。

【0011】以下、本発明の実施例について図面を用いて説明する。

【0012】図1は本発明の実施例のブロック図であり、図2はその各部出力における周波数スペクトラムの例を示す図である。発振器1の発振出力（周波数F）は分周器2において例えば1/10に分周されてF/10の周波数となる。

【0013】これ等分周出力(F/10)と発振出力(F)とは加算器4にて加算されて(F+F/10)なる周波数成分として出力される。ここで、(F+F/10)なる周波数とは、Fなる周波数成分とF/10なる周波数成分との両成分をそのまま含むことを意味しており、通常の算術加算ではない。従って、この加算器4はオア回路構成とすることができる。

【0014】通常の算術加算であれば、ミキサ（周波数混合器）の動作であり、混合出力には両周波数の和の周波数を有する信号が生成されることになるが、この加算器4での加算は、ミキサの機能ではなく、上述した如くFとF/10との各周波数成分が夫々そのまま出力されることを意味し、よってオア回路機能を有することになるのである。

【0015】この加算出力は通倍器3の非直線性によって夫々高次高調波となり、iFと(j/10)Fとの高次高調波成分が得られる。尚、i, jはnより極めて大なる多数の整数である。

【0016】図3は本発明の具体例を示す図であり、図1と同等部分は同一符号をにより示している。図3において、クリスタル発振器1の発振周波数をF=10MHzとし、分周器2により1/10に分周して1MHzを

得る。加算器4の出力には、1MHzと10MHzとの2つの周波数成分が導出される。

【0017】 通倍器3による通倍出力である高次高調波のうち、例えば、 $64 \times 10\text{MHz}$ 成分 ($i=64$ 次) と $640 \times 1\text{MHz}$ 成分 ($j/10=640$ 次) との両エネルギーの和である 640MHz の成分がバンドパスフィルタ5により抽出される。

【0018】 この 640MHz と発振器7の発振周波数 640.5MHz とを周波数混合器6にて混合し差成分 (0.5MHz) に対してPLL回路8を用いてPLLループをかけて発振器7の発振出力を安定化させている。

【0019】

【発明の効果】 以上述べた如く、本発明によれば、高次高調波のレベルがより大きく得られ、PLLループの基準となる周波数の C/N が従来に比し大となり、PLL

ループにより安定させようとする周波数に対しても良好な C/N が得られるという効果がある。

【図面の簡単な説明】

【図1】 本発明の実施例のブロック図である。

【図2】 図1のブロックの各部の周波数スペクトラムを示す図である。

【図3】 本発明の具体例を示すブロック図である。

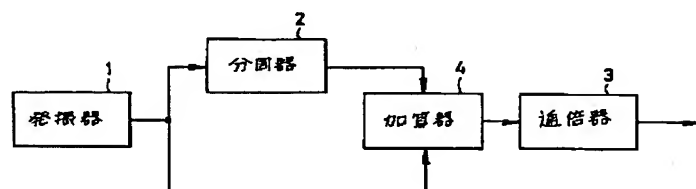
【図4】 従来の周波数通倍回路のブロック図である。

【図5】 図4のブロックの各部の周波数スペクトラムを示す図である。

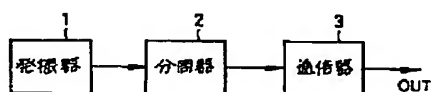
【符号の説明】

- 1 発振器
- 2 分周器
- 3 通倍器
- 4 加算器

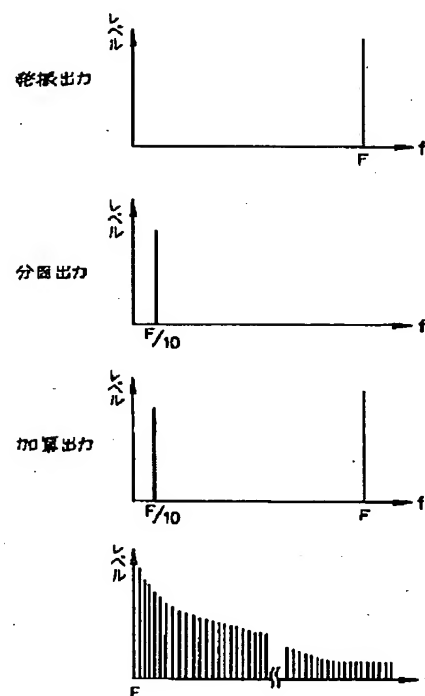
【図1】



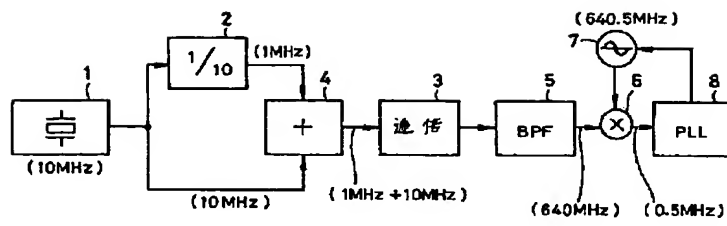
【図4】



【図2】



【図3】



【図5】

